

## Packaged semiconductor device has a ball grid array substrate

Patent Number: DE19821916  
Publication date: 1999-03-11  
Inventor(s): BABA SHINJI (JP)  
Applicant(s):: MITSUBISHI ELECTRIC CORP (JP)  
Requested Patent: DE19821916  
Application Number: DE19981021916 19980515  
Priority Number(s): JP19970231927 19970828  
IPC Classification: H01L23/50  
EC Classification: H01L21/56F, H01L23/045, H01L23/498M8  
Equivalents: JP11074417

### Abstract

In a semiconductor device which has a ball grid array (BGA) substrate consisting of an intermediate insulating layer sandwiched between upper and lower multilayer insulating layers, the insulating layers consist of an organic material with a thermal expansion coefficient matching that of a circuit board on which the device is mounted. A semiconductor device has (a) a BGA substrate as described above; (b) conductors on the top surface of each insulating layer and within the substrate; (c) solder balls on the outer surface of the lower insulating layer; and (d) a semiconductor chip which has electrodes for connection to the conductors and which is electrically connected to the solder balls by vias provided in each insulating layer. Independent claims are also included for similar semiconductor devices, in which (i) the electrodes are arranged in an annular region on the chip and the voltage supply and the earth are connected respectively to electrodes at the outermost and innermost peripheral rows; or (ii) the device has a resin sealant for intimately contacting the chip with the BGA substrate, an external heat sink for dissipating heat produced in the chip and a ring which both spaces and connects the BGA substrate and the heat sink. Preferred Feature: The linear thermal expansion coefficient of the insulating layer material is  $1 \times 10^{-5} - 6 \times 10^{-5} / \text{deg C}$  when that of the circuit board is  $1 \times 10^{-5} - 2 \times 10^{-5} / \text{deg C}$ .



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Off nl gungsschrift**  
⑩ **DE 198 21 916 A 1**

⑤ Int. Cl.<sup>6</sup>:  
**H 01 L 23/50**

⑳ Aktenzeichen: 198 21 916.4  
㉑ Anmeldetag: 15. 5. 98  
㉒ Offenlegungstag: 11. 3. 99

**DE 198 21 916 A 1**

③① Unionspriorität:  
9/231927 28. 08. 97 JP  
  
⑦① Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
  
⑦④ Vertreter:  
Prüfer und Kollegen, 81545 München

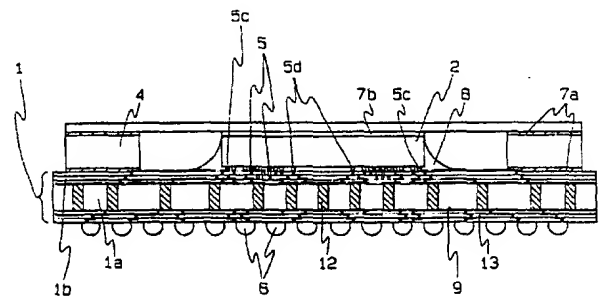
⑦② Erfinder:  
Baba, Shinji, Tokio/Tokyo, JP

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Gehäusekonstruktion einer Halbleitereinrichtung**

⑤⑦ Eine Halbleitereinrichtung weist auf: ein BGA-Substrat (1), welches zusammengesetzt ist aus einer oberen Isolierschicht (1b), in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind, einer Zwischenschicht (1a), einer unteren Isolierschicht (13), in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind; eine Mehrzahl von Leitungen (9), die jeweils auf jeder obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht enthalten sind, vorgesehen sind; und ein Halbleiterchip (2) mit einer Mehrzahl von Elektroden zum jeweiligen Verbinden mit der Mehrzahl von Leitungen, wobei der Halbleiterchip mit der Mehrzahl von Lötkegeln (6) über eine Mehrzahl von Durchgangslöchern (12), die in jeder der Isolierschichten vorgesehen sind, verbunden ist; wobei eine Mehrzahl von Lötkegeln (6) auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen ist.



**DE 198 21 916 A 1**

Die vorliegende Erfindung bezieht sich auf eine Gehäusekonstruktion einer Halbleitereinrichtung und insbesondere auf eine Gehäusekonstruktion einer Halbleitereinrichtung mit einer BGA (Ball Grid Array, Kugelgitterfeld) Konstruktion, in der Löt-Kugeln, die zum Löten beim Montieren der Halbleitereinrichtung auf Produkten verwendet werden, auf der Rückseite des Substrates in Form einer Matrix angeordnet sind.

Im allgemeinen werden, wie es beispielsweise in der japanischen ungeprüften Patentveröffentlichung 330474/1996 offenbart ist, Kunststoffgehäuse bzw. Kunststoffverpackungen, Metallgehäuse und Keramikgehäuse zum Verpacken bzw. Verkapseln eines Halbleiterelementes verwendet. Unter diesen Gehäusen bzw. Bausteinen, wird das Keramikgehäuse zum Verpacken von CMOS-Gate Arrays, ECL Gate Arrays, etc. aufgrund seiner Isolier- und Wärmestrahlungsfähigkeiten, so wie aufgrund seiner Feuchtigkeitsbeständigkeit, verwendet.

Zum Beispiel ist in der japanischen ungeprüften Patentveröffentlichung Nr. 83 59/1996 ein BGA-Gehäuse bzw. BGA-Baustein offenbart, welches als ein Typ eines Oberflächenmontagegehäuses eines Kunststoffgehäuses verwendet worden ist. Das BGA-Gehäuse wird hergestellt durch Anordnen von Löt-Kontakthügeln (Löt-Bumps bzw. Löt-Kontaktpunkten) in Form einer Matrix auf der Oberfläche der Halbleiterchipseite des Substrates auf der der Halbleiterchip angeordnet ist, Anordnen von sphärischen bzw. kugelförmigen Löt-Kugeln bzw. Lötperlen in der Form einer Matrix auf der Oberfläche gegenüberliegend dem Halbleiterchip, Anordnen bzw. Anbringen des Halbleiterchips auf der Substratoberfläche und Versiegeln mit Formharz bzw. Gießharz oder Vergußmasse. Insbesondere wird das BGA-Gehäuse als ein Multi-Pin-Gehäuse mit mehr als 200 Pins bzw. Anschlußstiften verwendet. Nun wird die Konstruktion, in der Löt-Kugeln, die als externe Elektroden dienen, in der Form einer Matrix auf der Rückseite des Substrates angeordnet sind, eine BGA-Konstruktion genannt. Verkapseln der Halbleitereinrichtung mit einer solchen BGA-Konstruktion wird BGA-Verkapselung genannt, und das Substrat mit den Isolierschichten, die aufeinander geschichtet sind, um die BGA-Konstruktion zu bilden, wird das BGA-Substrat genannt.

Im Fall eines solchen BGA-Gehäuses könnten organisches Material (oder organisches Material, welches nicht-organisches Material enthält), im nachfolgenden als "organisches Material" bezeichnet, als Substratmaterial verwendet werden, aber wenn diese Halbleitereinrichtung mit dem BGA-Gehäuse auf der Substratoberfläche angebracht ist, erzeugt der Unterschied in der thermischen Volumenausdehnung zwischen dem Halbleiterchip, dem BGA-Substrat und dem Substrat, auf dem die Halbleitereinrichtung angebracht ist (im nachfolgenden "Leiterplatte" bzw. "Platine" bezeichnet), ein Problem.

Durch diese thermische Ausdehnung der Löt-Kugeln, die als externe Elektroden dienen und die an der Oberfläche gegenüberliegend dem Halbleiterchip auf dem BGA-Substrat vorgesehen sind, und der Löt-Kontakthügel, die auf der Oberfläche auf der Halbleiterchipseite vorgesehen sind, ist der thermische Ausdehnungskoeffizient des BGA-Substrats größer auf der äußersten Umfangsseite und die mechanische Beanspruchung bzw. die Spannung, die durch die thermische Ausdehnung erzeugt wird, ist am größten. Aus diesem Grund entsteht das Problem, daß eine Unterbrechung bzw. Ablösung des Löt-Kontakthügels zum Verbinden des Halbleitersubstrates auftritt oder, daß sich der Halbleiterchip selbst ablöst.

Wenn das BGA-Substrat aus Keramikmaterial besteht, ist

bezüglich der Zwischenschichtverbindungsleitung durch das integrale Sinterverfahren eine feine Leitungsgestaltung möglich, und eine Signalleitung in dem Substrat kann optional konstruiert werden. Im Fall eines organischen Materials wird jedoch ein Aufbau-Herstellungungsverfahren angewendet, in dem zuerst eine Isolierschicht gebildet werden muß, Signalleitungen mit dieser Isolierschicht verdrahtet werden, Durchgangslöcher für die Zwischenschichtverbindungen in der Isolierschicht gebildet werden, die nächste Schicht auf dieser obersten Schicht gebildet wird und die Signalleitung und das Durchgangsloch vorgesehen werden. Daher gibt es viele Einschränkungen in Bezug auf die Leitungsgestaltung und das Material für die BGA-Konstruktion und die Signalleitungsform, welches die thermischen Ausdehnungsprobleme lösen kann, wurde noch nicht erhalten.

Es ist Aufgabe der vorliegenden Erfindung eine Halbleitereinrichtung der BGA-Konstruktion bereitzustellen, welche eine hohe Zuverlässigkeit frei von Löt-Kontakthügelablösung und Entfernung des Halbleiterchips aufweist, auch wenn thermische Zugbeanspruchung durch thermische Expansion erzeugt wird.

Eine Halbleitereinrichtung nach Anspruch 1 gemäß der vorliegenden Erfindung weist ein BGA-Substrat auf mit einer oberen Isolierschicht, in der eine Mehrzahl von Isolierschichten aufeinander geschichtet sind, einer Zwischenschicht, einer unteren Isolierschicht, in der eine Mehrzahl von Isolierschichten aufeinander geschichtet sind; eine Mehrzahl von Leitungen, die auf jeder obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht jeweils vorgesehen sind; eine Mehrzahl von Löt-Kugeln, die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und einen Halbleiterchip mit einer Mehrzahl von Elektroden, die jeweils mit der Mehrzahl von Leitungen verbunden werden sollen, wobei der Halbleiterchip elektrisch mit der Mehrzahl von Löt-Kugeln über eine Mehrzahl von Durchgangslöchern, die in jeder der Isolierschichten vorgesehen sind, elektrisch verbunden ist;

wobei ein Material für die Isolierschichten ein organisches Material aufweist, welches den thermischen Ausdehnungseigenschaften einer Leiterplatte, auf der die Halbleitereinrichtung angebracht ist, angepaßt ist.

In einer Halbleitereinrichtung nach Anspruch 2 dieser Erfindung, bei der die thermischen Ausdehnungseigenschaften der Leiterplatte durch den linearen Ausdehnungskoeffizient ausgedrückt werden, ist der lineare Ausdehnungskoeffizient der Isolierschicht  $1 \times 10^{-5}$  bis  $6 \times 10^{-5}/^{\circ}\text{C}$ , wenn der lineare Ausdehnungskoeffizient der Leiterplatte  $1 \times 10^{-5}$  bis  $10^{-5}/^{\circ}\text{C}$  ist.

Eine Halbleitereinrichtung nach Anspruch 2 enthält wenigstens Epoxidharz oder Tetrafluorethylen-Harz als organisches Material.

Eine Halbleitereinrichtung nach Anspruch 4 dieser Erfindung weist ein BGA-Substrat auf, welches zusammengesetzt ist aus einer oberen Isolierschicht, in der eine Mehrzahl von Isolierschichten aufeinander geschichtet sind, einer Zwischenschicht, einer unteren Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind; eine Mehrzahl von Leitungen, die jeweils auf jeder obersten Oberfläche der Isolierschichten, die in der obersten Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht vorgesehen sind; eine Mehrzahl von Löt-Kugeln, die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und einen Halbleiterchip mit einer Mehrzahl von Elektroden, die mit der Mehrzahl von Leitungen jeweils verbunden werden sollen, wobei der Halbleiterchip elektrisch mit der Mehrzahl

von Lötugeln durch eine Mehrzahl von Durchgangslöchern verbunden ist, welche in jeder der gesamten Isolierschichten vorgesehen sind; wobei die Mehrzahl von Elektroden in einem ringförmigen Gebiet auf dem Halbleiterchip vorgesehen sind, und die Spannungszufuhr und die Erde jeweils mit Elektroden auf den äußersten Umfangszeilen und den innersten Umfangszeilen verbunden sind.

Eine Halbleitereinrichtung nach Anspruch 5 dieser Erfindung weist ein BGA-Substrat auf, welches zusammengesetzt ist aus einer oberen Isolierschicht, in der eine Mehrzahl von Isolierschichten aufeinander geschichtet sind, einer Zwischenschicht, einer unteren Isolierschicht, in der eine Mehrzahl von Isolierschichten aufeinander geschichtet sind; eine Mehrzahl von Leitungen, die jeweils auf jeder obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht vorhanden sind, vorgesehen sind; eine Mehrzahl von Lötugeln, die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und ein Halbleiterchip mit einer Mehrzahl von Elektroden, die mit der Mehrzahl von Leitungen jeweils verbunden werden sollen; wobei der Halbleiterchip elektrisch mit der Mehrzahl von Lötugeln durch eine Mehrzahl von Durchgangslöchern verbunden ist, die in jeder der Isolierschichten vorgesehen sind; und die Halbleitereinrichtung weiter ein Versiegelungsteil (Dichtungsteil) aufweist, welches ein Versiegelungsharz aufweist zum Bringen des Halbleiterchips in engen Kontakt mit dem BGA-Substrat, einen Wärmeverteiler zum Ableiten der Wärme, die in dem Halbleiterchip erzeugt wird an die Außenseite, einen Ring, der einen spezifischen Abstand zwischen dem BGA-Substrat und dem Wärmeverteiler vorsieht, als auch die beiden miteinander verbindet, wobei ein Material für die Isolierschichten ein organisches Material aufweist, welches an die thermischen Ausdehnungseigenschaften einer Leiterplatte, auf der die Halbleitereinrichtung befestigt ist, angepaßt ist.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren.

Von den Figuren zeigen:

Fig. 1 eine teilweise geschnittene perspektivische Ansicht einer Ausführungsform der Halbleitereinrichtung entsprechend der Erfindung;

Fig. 2 eine Schnittansicht, die eine Ausführungsform der Halbleitereinrichtung entsprechend der Erfindung zeigt;

Fig. 3 eine Schnittansicht eines Beispiels für einen Herstellungsprozeß der Halbleitereinrichtung entsprechend dieser Erfindung;

Fig. 4 eine Schnittansicht eines Beispiels für einen Herstellungsprozeß der Halbleitereinrichtung entsprechend der Erfindung; und

Fig. 5 eine Draufsicht, die Lötkontakthügel zeigt, welche auf der Halbleiterchipoberfläche in Form eines Ringes vorgesehen sind.

Nun wird ein Ausführungsbeispiel der Konstruktion der Halbleitereinrichtung entsprechend der vorliegenden Erfindung beschrieben.

#### Ausführungsform 1

Unter Bezugnahme auf die Figuren ist eine bevorzugte Ausführungsform der Halbleitereinrichtung entsprechend der Erfindung gezeigt.

Die Halbleitereinrichtung der vorliegenden Erfindung weist ein BGA-Substrat, einen auf dem BGA-Substrat angeordneten Halbleiterchip, einen Wärmeverteiler, welcher die

in dem Halbleiterchip erzeugte Wärme an die Außenseite ableitet, einen Ring sowohl zum Bereitstellen eines bestimmten Abstandes zwischen dem BGA-Substrat und dem Wärmeverteiler, als auch zum Verbinden der beiden, auf. Das BGA-Substrat ist eine Mehrschichtenkonstruktion bzw. ein Mehrschichtenaufbau, in der eine Mehrzahl von Isolierschichten übereinander gelegt sind und für jede Isolierschicht eine Mehrzahl von Leitungen und Durchgangslöchern vorgesehen ist. In dem BGA-Substrat ist eine spezielle Leitung mit einer anderen über Durchgangslöcher verbunden, wenn eine Mehrzahl von Isolierschichten übereinandergelegt sind, und es ist möglich, daß sich eine Mehrzahl von Leitungen in dreidimensionaler Weise durch die Isolierschichten kreuzen und es kann eine Verringerung der Größe der Halbleitereinrichtung erreicht werden.

Fig. 1 ist eine teilweise geschnittene, perspektivische Ansicht einer Ausführungsform der Halbleitereinrichtung entsprechend der Erfindung, während Fig. 2 eine Ansicht ist, die die Querschnittsstruktur entlang der Linie A-A in Fig. 1 veranschaulicht. In Figur bezeichnet das Bezugszeichen 1 ein BGA-Substrat, das Bezugszeichen 2 einen Halbleiterchip, das Bezugszeichen 3 einen Wärmeverteiler, das Bezugszeichen 4 einen Ring, das Bezugszeichen 6 eine Lötugel bzw. eine Lötperle, und das Bezugszeichen 8 ein Versiegelungsteil bzw. Dichtelement. In Fig. 2 bezeichnen dieselben Bezugszeichen dieselben Teile oder entsprechende Teile in Fig. 1. Ferner bezeichnet in Fig. 2 das Bezugszeichen 5 einen Lötkontakthügel bzw. eine Lötkontaktstelle bzw. einen Lötbumpp, das Bezugszeichen 5c einen Lötkontakthügel in der äußersten Umfangszeile (im nachfolgenden einfach als "äußerster Umfangslötkontakthügel" bezeichnet), das Bezugszeichen 5c einen Lötkontakthügel in der innersten Umfangszeile (im nachfolgenden einfach als "innerster Umfangslötkontakthügel" bezeichnet), das Bezugszeichen 7a eine erste Haftmittelschicht (Haftschicht, Klebeschicht), das Bezugszeichen 7b eine zweite Haftmittelschicht (Haftschicht, Klebeschicht), das Bezugszeichen 9 eine Leitung, das Bezugszeichen 12 ein Durchgangsloch und das Bezugszeichen 13 eine Isolierschicht. Die erste Haftmittelschicht 7a befestigt bzw. verbindet jeweils sowohl das BGA-Substrat 1 mit bzw. an dem Ring 4, als auch den Wärmeverteiler 3 an dem Ring 4. Die zweite Haftmittelschicht 7b befestigt bzw. verbindet den Halbleiterchip 2 an bzw. mit dem Wärmeverteiler 3.

Jede der Leitungen (nicht gezeigt), die in dem BGA-Substrat 1 vorgesehen sind, ist elektrisch mit der externen Elektrode (nicht gezeigt) der Halbleitereinrichtung verbunden. Die Lötugel 6 weist ein Lötmaterial auf und soll mit der externen Elektrode der Halbleitereinrichtung elektrisch verbunden werden. Eine Mehrzahl von Elektroden (nicht gezeigt) des Halbleiterchips 2 sind jeweils elektrisch mit der bestimmten Leitung des BGA-Substrats 1 verbunden. Die relevante Verbindung wird erreicht durch Bereitstellen von Lötkontakthügeln im Voraus auf jeder Elektrodenoberfläche des Halbleiterchips 2 und der Elektrodenoberfläche, die mit jeder Leitung des BGA-Substrats 1 verbunden ist, und durch Verlöten unter Verwendung der relevanten Lötkontakthügel. Das Versiegelungsteil 8 weist Versiegelungsharz auf und ist vorgesehen zum Bringen des Halbleiterchips in engen Kontakt mit den BGA-Substrat 1.

Der Ring 4 weist eine Öffnung auf, die in der Mitte des blattförmigen bzw. folienförmigen Teiles vorgesehen ist. Das Profil der Öffnung wird in Übereinstimmung mit dem Profil des Halbleiterchips 2 gestaltet. Der Wärmeverteiler 3 weist ein Profil auf ähnlich zu dem des BGA-Substrats 1 und hat die Form einer dünnen Folie bzw. einer dünnen Bahn. Der Halbleiterchip 2 und der Wärmeverteiler 3, das BGA-Substrat 1 und der Ring 4, und der Wärmeverteiler 3 und der

Ring 4 werden unter Verwendung eines Haftmittels bzw. Klebstoffes befestigt. Als Klebstoff zum Befestigen des Halbleiterchips und des Wärmeverteilers 3 wird Epoxid-Klebstoff angewendet, welcher gute Hitzebeständigkeit und einen guten Vorteil im Hinblick auf die Kosten aufweist. Andererseits, als Klebstoff zum Befestigen bzw. Verbinden des BGA-Substrats 1 mit dem Ring 4, und des Wärmeverteilers 3 und dem Ring 4 wird Silikonklebstoff, welcher einen geringen Young-Modul (E) aufweist, verwendet zum Abschwächen von mechanischer Zugbeanspruchung bzw. Beanspruchung für den Halbleiterchip 2.

Der Lötkontakthügel 5 wird in dem ringförmigen Bereich, mit Ausnahme des Mittenabschnittes der Halbleiterchipoberfläche in der Form einer Matrix oder in versetzter Anordnung aufgebracht. Der Lötkontakthügel 5 verbindet die externe Elektrode des Halbleiterchips 2 mit der Elektrode auf der Oberflächenseite des BGA-Substrats 1, und der Lötball 6 verbindet die externe Elektrode auf der Rückseite des BGA-Substrats 1 mit der Leiterplatte. Auf diese Weise wird ein Aufbau erzielt, in dem die Eingabe der Spannungs- bzw. Leistungsverorgung oder die Eingabe und Ausgabe von Signalen zwischen dem Halbleiterchip und der Leiterplatte über die Leitung 9 und das Durchgangsloch 12 stattfindet. Somit ist der Halbleiterchip mit einer Mehrzahl von Lötkegeln über eine Mehrzahl von Durchgangslöchern verbunden zum elektrischen Verbinden einer Mehrzahl von Leitungen, die auf der obersten Oberfläche der Isolierschichten vorgesehen sind.

Das BGA-Substrat 1 der Halbleitereinrichtung entsprechend der vorliegenden Erfindung weist ein organisches Material auf, welches an die thermischen Ausdehnungseigenschaften der Leiterplatte angepaßt ist, um das Problem, welches aufgrund der thermischen Ausdehnung entsteht, zu lösen. Die thermischen Ausdehnungseigenschaften seien durch einen linearen Ausdehnungskoeffizienten in dieser Beschreibung ausgedrückt. Das BGA-Substrat weist eine Mehrzahl von Isolierschichten auf, aber es wird ausgedrückt als ein Koeffizient linearer Ausdehnung wie das gesamte BGA-Substrat. Bezüglich der thermischen Ausdehnung wird z. B. FR4 (Glas-Kattun bzw. Glasleinen-Basismaterial Epoxidharz, beschrieben in dem ASTM D-867 Normalblatt bzw. Spezifizierung) oder BT-Harz (Markenbezeichnung; Harz erhältlich von Mitsubishi Gas Chemical Co, Inc.) als Material für die Leiterplatte verwendet und ihr linearer oder Längen- Ausdehnungskoeffizient beträgt zwischen  $1 \times 10^{-5}$  bis  $2 \times 10^{-5}/^{\circ}\text{C}$ . Folglich wird für das Material des BGA-Substrats ein Material verwendet, dessen linearer thermischer Ausdehnungskoeffizient zwischen  $1 \times 10^{-5}$  bis  $6 \times 10^{-5}/^{\circ}\text{C}$  liegt vom Gesichtspunkt der Befestigungszuverlässigkeit. Das BGA-Substrat weist eine gebildete Isolierschicht 1b (Aufbauschicht) auf, deren Koeffizient der linearen Ausdehnung bzw. linearer Ausdehnungskoeffizient zwischen  $1 \times 10^{-5}$  und  $6 \times 10^{-5}/^{\circ}\text{C}$  liegt, welche auf beiden Seiten des Kernmaterials 1a, welches FR4 oder BT-Harz aufweist und welches für die Leiterplatte verwendet wird, beschichtet ist, wie in Fig. 2 dargestellt ist. Die Aufbau-Isolierschicht 1b weist eine obere Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind und eine untere Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind, auf. Eine Zwischenisolierschicht ist aus dem Kernmaterial gebildet. Der lineare Ausdehnungskoeffizient des gesamten BGA-Substrats ist zwischen  $1 \times 10^{-5}$  und  $2 \times 10^{-5}/^{\circ}\text{C}$ , und der lineare Ausdehnungskoeffizient der Aufbauschicht 1b ist zwischen  $1 \times 10^{-5}$  bis  $6 \times 10^{-5}/^{\circ}\text{C}$  zum Gewährleisten der Zuverlässigkeit im inneren des BGA-Substrats (zum Verbinden des Ablösens zwischen den Kernmaterialien 1).

Mit dieser Erfindung ist die Befestigungssicherheit bzw.

Zuverlässigkeit verbessert und gleichzeitig wird die Zuverlässigkeit des BGA-Substrats selbst verbessert.

Als Material für das BGA-Substrat wird Epoxidharz und/oder Tetrafluorethylenharz verwendet. Das Epoxidharz, auf das sich die vorliegende Erfindung bezieht, ist ein Harz, in dem Glasfaser, Acrylharz und ähnliches mit dem Epoxidharz vermischt ist. Das Tetrafluorethylenharz, auf welches sich die vorliegende Erfindung bezieht, ist ein Harz in dem Acrylharz und ähnliches mit dem Tetrafluorethylenharz gemischt ist.

Die Vorteile der Verwendung eines organischen Materials als Material für das BGA-Substrat beinhalten (1) Verbesserung in der Befestigungszuverlässigkeit, (2) geringe Kosten, und zusätzlich, (3) Bildung der Isolierschicht, deren dielektrische Konstante 3 bis 5 oder niedriger ist, und eine Halbleitereinrichtung, die die Erfordernisse eines Hochgeschwindigkeitsbetriebes erfüllt, kann hergestellt werden.

Nun wird ein Herstellungsprozeß der Halbleitereinrichtung beschrieben. Fig. 3 und 4 sind Schnittansichten eines Beispiels eines Herstellungsprozesses der Halbleitereinrichtung entsprechend der vorliegenden Erfindung. In Fig. 3 und Fig. 4 bezeichnen dieselben Bezugszeichen dieselben Teile oder entsprechende Teile in Fig. 1 und Fig. 2. Bezugszeichen 5a bezeichnet den ersten Lötkontakthügel, der elektrisch mit der externen Elektrode (nicht gezeigt) verbunden ist, welche in dem Halbleiterchip 2 vorgesehen ist, und Bezugszeichen 5b bezeichnet den zweiten Lötkontakthügel, der elektrisch mit der externen Elektrode (nicht gezeigt) einer Mehrzahl von Leitungen, die auf dem BGA-Substrat 1 vorgesehen sind, verbunden ist.

Zuerst wird auf der Elektrode, die auf dem Halbleiterchip 2 enthalten ist, der erste Lötkontakthügel 5a vorgesehen und ähnlich, wird der zweite Lötkontakthügel 5b auf einem Endteil einer Mehrzahl der Leitungen des BGA-Substrats vorgesehen (siehe Fig. 3(a)). Dann wird das Flußmaterial auf den Bereich aufgetragen, auf dem der zweite Lötkontakthügel 5b auf der Oberfläche des BGA-Substrats 1 gebildet ist. Der Halbleiterchip 2 wird auf das BGA-Substrat 1 plaziert, und das BGA-Substrat 1 und der Halbleiterchip 2 werden in einen Wärmebehandlungssofen (einen so genannten Reflow-Ofen bzw. Aufschmelzsofen) eingebracht, wobei der erste Lötkontakthügel 5a in Kontakt mit dem zweiten Lötkontakthügel 5b gehalten wird. Im Ergebnis schmelzen der erste Lötkontakthügel 5a und der zweite Lötkontakthügel 5b, und der erste Lötkontakthügel 5a wird mit dem zweiten Lötkontakthügel 5b kontaktiert und wird zu einem Stück bzw. integral. In Fig. 3 wird der erste Lötkontakthügel, der einstückig mit dem zweiten Lötkontakthügel gebildet ist, als Lötkontakthügel bezeichnet. Durch den Lötkontakthügel 5 wird die Elektrode, die in dem Halbleiterchip 2 vorgesehen ist, elektrisch verbunden mit einer Mehrzahl von Leitungen des BGA-Substrats (siehe Fig. 3(b)). Ferner wird nach Reinigen von dem Flußmaterial der Ring 4 auf das BGA-Substrat 1 durch die erste Haftmittelschicht 7a befestigt (siehe Fig. 3(c)). Dann wird das Versiegelungsharz in einen Zwischenraum zwischen dem BGA-Substrat 1 und dem Halbleiterchip 2 injiziert und Aushärten gelassen bzw. Verfestigen gelassen zum Bilden des Versiegelungsteiles 8, der Halbleiterchip 2 ist in engem Kontakt mit dem BGA-Substrat 1 befestigt. Dann wird ein Klebstoff auf die oberste Oberfläche des Halbleiterchips 2 aufgebracht zum Bilden der zweiten Haftmittelschicht 7b (siehe Fig. 4(a)). Nach Auftragen des Klebstoffes auf die oberste Oberfläche des Ringes 4 zum Bilden der ersten Haftmittelschicht 7a wird der Wärmeverteiler 3 auf den Halbleiterchip 2 und den Ring 4 plaziert, und der Wärmeverteiler 3 werden mit dem Halbleiterchip 2 und dem Ring 4 verbunden bzw. an diesem befestigt (siehe Fig. 4(b)). Zuletzt wird die Lötkegel 6 auf der externen Elektrode der

Halbleitereinrichtung vorgesehen, die mit dem anderen Ende der Mehrzahl von Leitungen des BGA-Substrats 1 verbunden ist, und eine Halbleitereinrichtung wird erhalten (siehe Fig. 4(c)).

Weil, wie oben beschrieben worden ist, das BGA-Substratmaterial, welches eine Mehrzahl von Isolierschichten aufweist, aus einem organischen Material gebildet ist, welches an die thermischen Ausdehnungseigenschaften der Leiterplatte angepaßt ist, kann eine Halbleitereinrichtung mit verbesserter Zuverlässigkeit in Bezug auf thermische Zugbeanspruchung bzw. die Beanspruchung erhalten werden.

#### Ausführungsform 2

Der in Fig. 2 gezeigte Lötkontakthügel ist in einem ringförmigen Bereich angebracht, welches ein Randbereich der Halbleiterchipoberfläche ist. Fig. 5 ist eine Draufsicht, die Lötkontakthügel aufgebracht in der Form eines Ringes auf der Halbleiterchipoberfläche zeigt. Dieselben Bezugszeichen bezeichnen dieselben Teile oder entsprechende Teile in Fig. 1 und Fig. 2. Weil der äußerste Umfangslötkontakthügel 5c sich in der äußersten Umfangszeile des ringförmigen Bereiches befindet, wird der Unterschied maximiert, wenn jeweils thermische Ausdehnung des Halbleiterchips und solche des BGA-Substrates auftreten, und es ist wahrscheinlich, daß eine Ablösung des Lötkontakthügels auftritt. Weil der innerste Umfangslötkontakthügel 5d sich auf der innersten Umfangszeile des ringförmigen Bereiches befindet, ist eine Zugbeanspruchung bzw. mechanische Beanspruchung, verursacht durch thermische Schrumpfung des Versiegelungsteiles, groß und es ist wahrscheinlich, daß eine Ablösung des Lötkontakthügels auftritt.

Wie oben beschrieben worden ist, haben der äußerste Umfangslötkontakthügel und der innerste Umfangslötkontakthügel ein Problem dahingehend, daß es wahrscheinlich ist, daß eine Ablösung bzw. eine Unterbrechung der Verbindung aufgrund von großer Zugbeanspruchung verursacht durch thermische Expansion oder thermisches Schrumpfen auftritt. Die vorliegende Ausführungsform ist so gestaltet, daß die Positionsbeziehung der Leitung auf der Isolierschicht und das Durchgangsloch zwischen den Isolierschichten abgeglichen sind, wobei dem Problem Rechnung getragen wird, so daß die Leitung für die Spannungszufuhreingabe zu dem Halbleiterchip und die Masseleitung mit dem äußersten Umfangskontakthügel 5c, dem Lötkontakthügel in der zweiten Reihe von dem äußersten Umfang und dem innersten Umfangslötkontakthügel 5d verbunden werden kann. Da die Leitung für den Spannungszufuhreingang und die Leitung für die Masse jeweils mit einer Hilfsleitung versehen sind, würde es, selbst wenn irgendwelche Probleme in der Verbindung des Lötkontakthügels aufgrund thermischer Expansion des Halbleiterchips und thermischer Expansion des BGA-Substrats auftreten würden, nicht im geringsten die Betriebsfunktionen des Halbleiterchips beeinflussen. Ferner, in Bezug auf den äußersten Lötkontakthügel, da die größte thermische Zugbeanspruchung auf die vier Ecken des Halbleiterchips ausgeübt wird, ist es wünschenswert, keine Verbindungen unter Verwendung von Lötkontakthügeln vorzusehen. Mit dieser Ausführungsform kann eine Halbleitereinrichtung mit verbesserter Zuverlässigkeit in Bezug auf thermische Beanspruchung erhalten werden.

#### Ausführungsform 3

In der Ausführungsform 1 und der Ausführungsform 2 wurde eine Halbleitereinrichtung mit dem Wärmeverteiler und dem Ring als ein Beispiel für die Halbleitereinrichtung

erklärt, aber ähnliche Effekte können auch mit einer Halbleitereinrichtung, die den Wärmeverteiler und den Ring nicht aufweisen, erhalten werden.

Eine Halbleitereinrichtung nach Anspruch 1 entsprechend der vorliegenden Erfindung weist ein BGA-Substrat auf, welches zusammengesetzt ist aus einer oberen Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind, einer Zwischenschicht, und einer unteren Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind; eine Mehrzahl von Leitungen, die auf jeder obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht jeweils enthalten sind, vorgesehen sind; und einen Halbleiterchip, mit einer Mehrzahl von Elektroden, die mit der Mehrzahl von Leitungen jeweils verbunden werden sollen; wobei der Halbleiterchip mit der Mehrzahl von Lötkegeln über eine Mehrzahl von Durchgangsöffnungen, die in jeder der Isolierschichten vorgesehen sind, verbunden ist; und ein Material für die Mehrzahl von Isolierschichten weist ein organisches Material auf, welches an die thermischen Ausdehnungseigenschaften des Substrates auf dem die Halbleitereinrichtung angebracht ist, angepaßt sind, und daher ist es möglich eine Halbleitereinrichtung mit verbesserter Zuverlässigkeit in Bezug auf thermische Beanspruchung bzw. thermisch verursachte mechanische Beanspruchung zu erhalten.

Bei einer Halbleitervorrichtung nach Anspruch 2 der vorliegenden Erfindung werden die thermischen Ausdehnungseigenschaften der Leiterplatte durch einen linearen Ausdehnungskoeffizienten ausgedrückt, wobei der lineare Ausdehnungskoeffizient der Isolierschicht zwischen  $1 \times 10^{-5}$  bis  $6 \times 10^{-5}/^{\circ}\text{C}$  beträgt, während der lineare Ausdehnungskoeffizient der Leiterplatte zwischen  $1 \times 10^{-5}$  bis  $2 \times 10^{-5}/^{\circ}\text{C}$  liegt und daher ist es möglich die Befestigungszuverlässigkeit zu verbessern.

Eine Halbleitereinrichtung nach Anspruch 3 der Erfindung enthält wünschenswerter Weise als das organische Material wenigstens Epoxidharz oder Tetrafluorethylenharz.

Eine Halbleitereinrichtung nach Anspruch 4 der Erfindung weist ein BGA-Substrat, welches zusammengesetzt ist aus einer oberen Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinander geschichtet sind, einer Zwischenschicht, einer unteren Isolierschicht, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind; eine Mehrzahl von Leitungen, die jeweils auf der obersten Oberfläche der Isolierschicht, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht enthalten sind, vorgesehen sind; eine Mehrzahl von Lötkegeln, die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und einen Halbleiterchip mit einer Mehrzahl von Elektroden, die jeweils mit der Mehrzahl von Leitungen verbunden werden sollen, wobei der Halbleiterchip mit der Mehrzahl von Lötkegeln über eine Mehrzahl von Durchgangsöffnungen, die in jeder der gesamten Isolierschichten vorgesehen sind, verbunden ist;

wobei die Mehrzahl von Elektroden in dem ringförmigen Bereich des Halbleiterchips vorgesehen sind und der Spannungszufuhr und der Masseleiter jeweils mit Elektroden auf der äußersten Umfangs- und der innersten Umfangszeile verbunden sind. Daher ist es möglich einen Halbleiter mit verbesserter Zuverlässigkeit in Bezug auf thermische Beanspruchung zu erhalten.

Eine Halbleitereinrichtung nach Anspruch 5 entsprechend der Erfindung weist ein BGA-Substrat auf, welches zusammengesetzt ist aus einer oberen Isolierschicht in der eine Mehrzahl von Isolierschichten aufeinander geschichtet sind, einer Zwischenschicht, einer unteren Isolierschicht, in der eine Mehrzahl von Isolierschichten aufeinanderge-

schichtet sind; eine Mehrzahl von Leitungen, die auf jeder obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht jeweils enthalten sind, vorgesehen sind; eine Mehrzahl von Lötugeln, die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind und einen Halbleiterchip mit einer Mehrzahl von Elektroden, jeweils zum Verbinden mit der Mehrzahl von Leitungen; wobei der Halbleiterchip elektrisch mit der Mehrzahl von Lötugeln über eine Mehrzahl von Durchgangslöchern, die in jeder der Isolierschichten vorgesehen sind, verbunden ist; ein Versiegelungsteil, welches Versiegelungsharz aufweist, zum Bringen des Halbleiterchips in engem Kontakt mit dem BGA-Substrat, einen Wärmeverteiler zum Ableiten der Wärme, die in dem Halbleiterchip erzeugt wird, an die Außenseite, einen Ring, der sowohl einen bestimmten Zwischenraum zwischen dem BGA-Substrat und dem Wärmeverteiler bereitstellt, als auch die beiden miteinander verbindet, wobei ein Material für die Isolierschichten ein organisches Material aufweist, welches an die thermischen Ausdehnungseigenschaften einer Leiterplatte, auf der die Halbleitereinrichtung befestigt ist, angepaßt ist, und es ist möglich, eine Halbleitereinrichtung mit verbesserter Zuverlässigkeit bezüglich thermischer Beanspruchung zu erhalten.

#### Patentansprüche

##### 1. Halbleitereinrichtung mit:

einem BGA-Substrat (1), welches eine obere Isolierschicht (1b) aufweist, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind, eine Zwischenschicht (1a), eine untere Isolierschicht (13), in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind;  
einer Mehrzahl von Leitungen (9), die jeweils auf jeder obersten Oberfläche der Isolierschichten, die in der obersten Isolierschicht, der Zwischenisolierschicht und der untersten Isolierschicht enthalten sind, vorgesehen sind;  
einer Mehrzahl von Lötugeln (6) die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und  
einem Halbleiterchip (2) mit einer Mehrzahl von Elektroden jeweils zum Verbinden mit der Mehrzahl von Leitungen, wobei der Halbleiterchip elektrisch mit der Mehrzahl von Lötugeln über eine Mehrzahl von Durchgangslöchern (12), die in jeder der Isolierschichten vorgesehen sind, verbunden ist;  
wobei ein Material für die Isolierschicht ein organisches Material aufweist, welches an die thermischen Ausdehnungseigenschaften einer Leiterplatte, auf der die Halbleitereinrichtung befestigt ist, angepaßt ist.

2. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die thermischen Ausdehnungseigenschaften der Leiterplatte ausgedrückt durch den linearen Ausdehnungskoeffizienten der Isolierschicht zwischen  $1 \times 10^{-5}$  und  $6 \times 10^{-5}/^{\circ}\text{C}$  liegen, wenn der lineare Ausdehnungskoeffizient der Leiterplatte zwischen  $1 \times 10^{-5}$  bis  $2 \times 10^{-5}/^{\circ}\text{C}$  liegt.

3. Halbleitereinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das organische Material wenigstens Epoxidharz oder Tetrafluorethylenharz aufweist.

4. Halbleitereinrichtung mit  
einem BGA-Substrat (1), welches eine obere Isolierschicht (1b) aufweist, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind, eine Zwischenschicht (1a), eine untere Isolierschicht (13), in der

eine Mehrzahl von Isolierschichten übereinandergeschichtet sind;

einer Mehrzahl von Leitungen (9) die jeweils auf jeder obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht enthalten sind, vorgesehen sind;

einer Mehrzahl von Lötugeln (6), die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und

einem Halbleiterchip (2) mit einer Mehrzahl von Elektroden zum jeweils Verbinden mit der Mehrzahl von Leitungen, wobei der Halbleiterchip elektrisch mit der Mehrzahl von Lötugeln (6) über eine Mehrzahl von Durchgangslöchern (12) verbunden ist, die in jeder der Isolierschichten vorgesehen sind;

wobei die Mehrzahl von Elektroden in einem ringförmigen Bereich auf dem Halbleiterchip vorgesehen sind, und die Spannungsversorgung und Masse jeweils mit Elektroden auf der äußersten Umfangsseite und der innersten Umfangsseite verbunden sind.

##### 5. Halbleitereinrichtung mit:

einem BGA-Substrat (1), welches eine obere Isolierschicht (1b) aufweist, in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind, eine Zwischenschicht (1a), eine untere Isolierschicht (13), in der eine Mehrzahl von Isolierschichten übereinandergeschichtet sind;

einer Mehrzahl von Leitungen (9), die jeweils auf der obersten Oberfläche der Isolierschichten, die in der oberen Isolierschicht, der Zwischenisolierschicht und der unteren Isolierschicht enthalten sind, vorgesehen sind;

einer Mehrzahl von Lötugeln (6), die auf der äußersten Oberfläche der unteren Isolierschicht vorgesehen sind; und

einem Halbleiterchip mit einer Mehrzahl von Elektroden jeweils zum Verbinden mit der Mehrzahl von Leitungen;

wobei der Halbleiterchip elektrisch mit der Mehrzahl von Lötugeln durch eine Mehrzahl von Durchgangslöchern (12), die in jeder der Isolierschichten vorgesehen sind, verbunden ist, wobei die Halbleitereinrichtung ferner ein Versiegelungsteil (8) aufweist, welches Versiegelungsharz enthält zum Bringen des Halbleiterchips in engem Kontakt mit dem BGA-Substrat, einen Wärmeverteiler (3) zum Ableiten der Wärme, die in dem Halbleiterchip erzeugt wird an die Außenseite, einen Ring (4), der sowohl einen bestimmten Zwischenraum zwischen dem BGA-Substrat und dem Wärmeverteiler bereitstellt, als auch die beiden verbindet, wobei ein Material für die Isolierschichten ein organisches Material aufweist, welches an die thermischen Ausdehnungseigenschaften einer Leiterplatte, auf der die Halbleitereinrichtung befestigt ist, angepaßt ist.

6. Halbleitereinrichtung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß die thermischen Ausdehnungseigenschaften der Leiterplatte ausgedrückt durch den linearen Ausdehnungskoeffizienten der Isolierschicht zwischen  $1 \times 10^{-5}$  und  $6 \times 10^{-5}/^{\circ}\text{C}$  liegen, wenn der lineare Ausdehnungskoeffizient der Leiterplatte zwischen  $1 \times 10^{-5}$  bis  $2 \times 10^{-5}/^{\circ}\text{C}$  liegt.

7. Halbleitereinrichtung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß das organische Material wenigstens Epoxidharz oder Tetrafluorethylen-

harz aufweist.

Hierzu 5 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65



FIG. 2

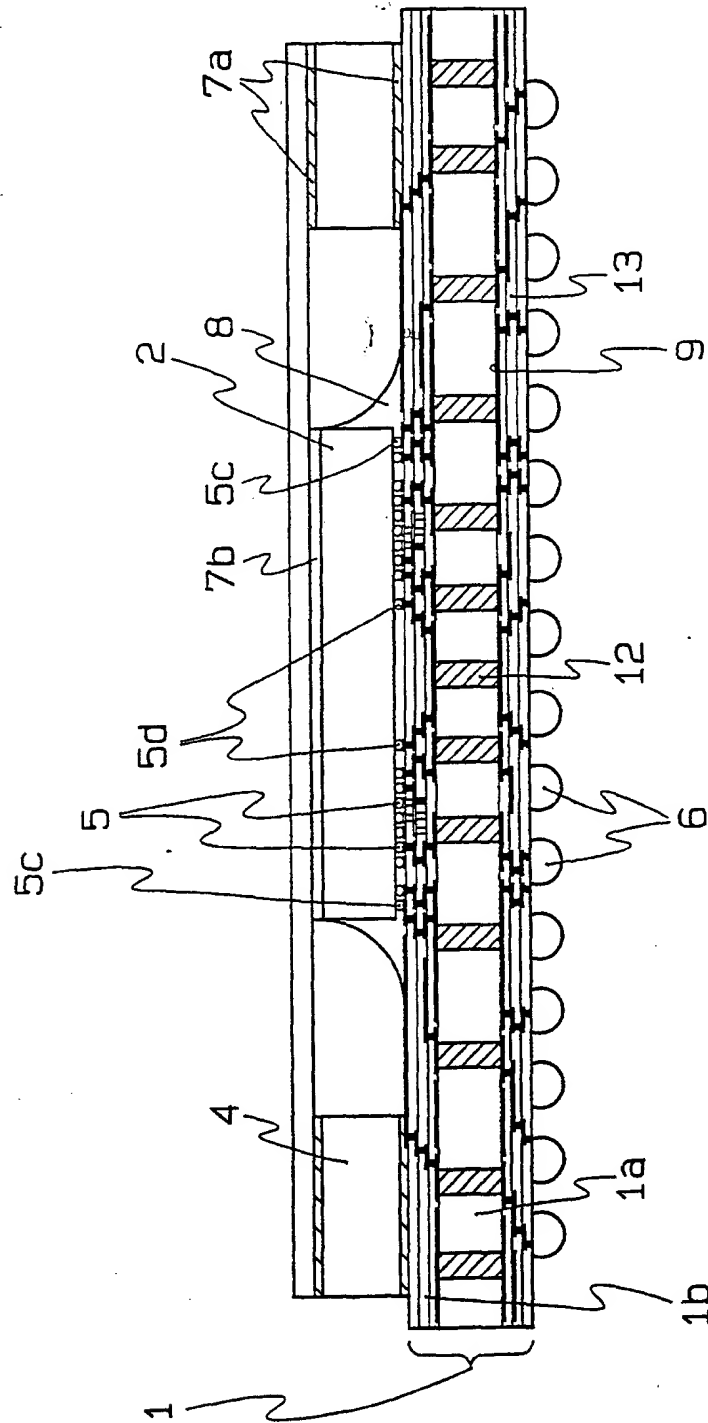


FIG. 1

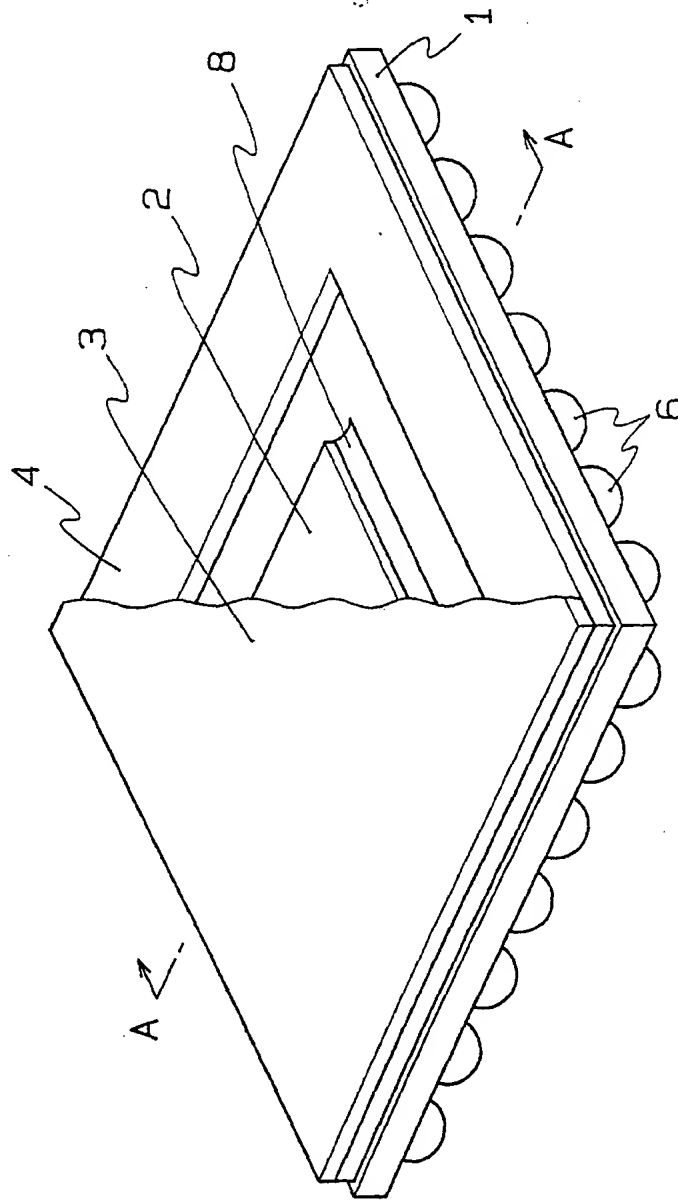


FIG. 3(a)

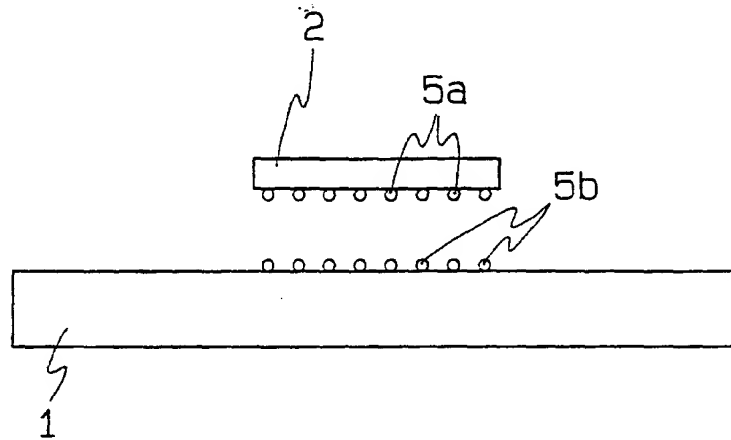


FIG. 3(b)

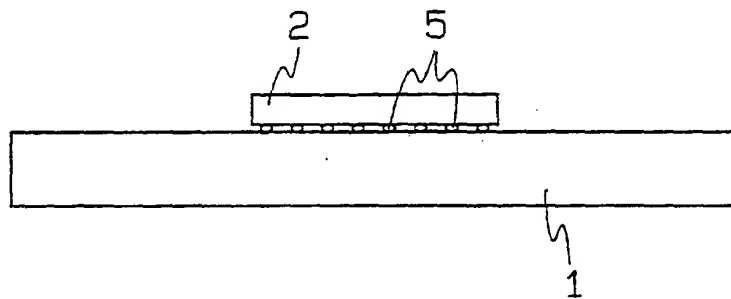


FIG. 3(c)

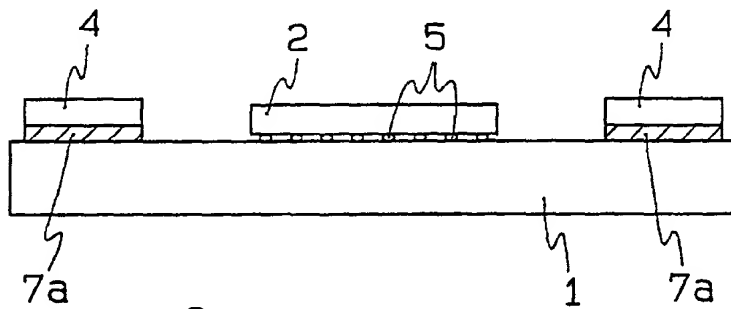


FIG. 3(d)

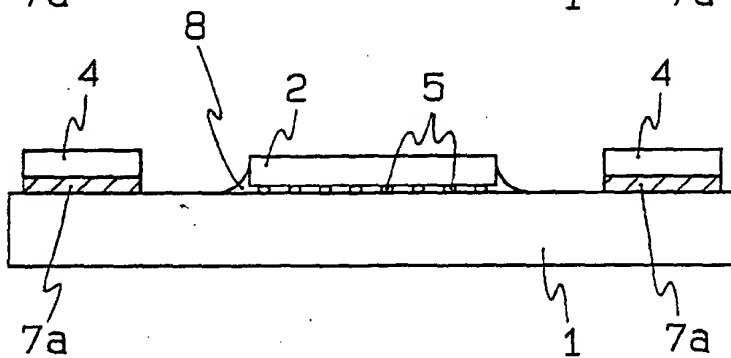


FIG. 4(a)

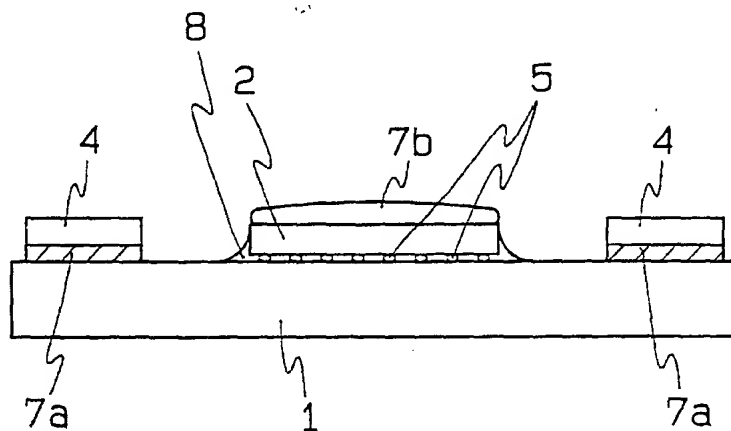


FIG. 4(b)

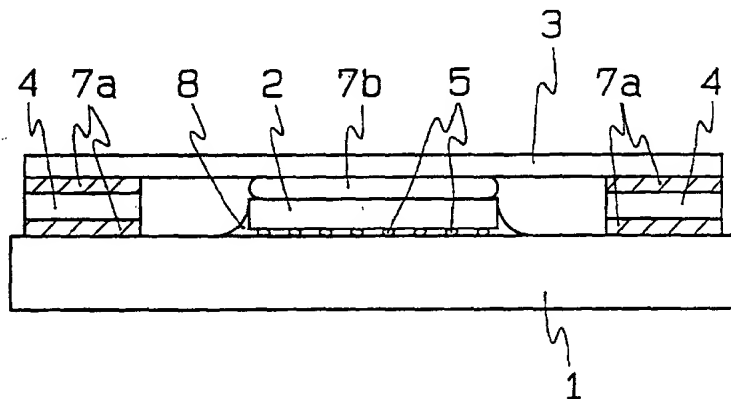


FIG. 4(c)

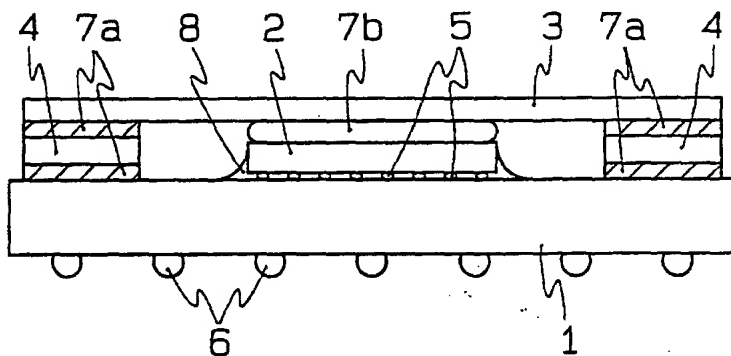


FIG. 5

